

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-085174

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

H01L 27/04

H01L 27/06

H03K 17/00

H03K 19/003

(21)Application number : 04-233220

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 01.09.1992

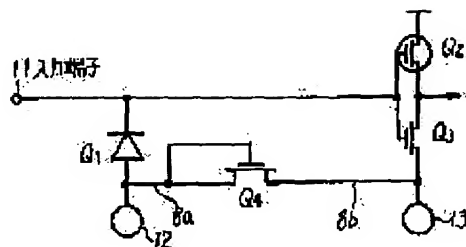
(72)Inventor : MIYAZAWA MAKOTO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To improve electrostatic withstand voltage and reduce noise between power supply wirings, by a method wherein, in an IC having a plurality of power supply pins, the part between wirings connected with the respective different power supply (or ground) pins is electrically shorted through low resistance when static electricity is applied, and electrically opened at the time of normal operation.

CONSTITUTION: A parasitic MOS FET Q4 is connected between a ground terminal 12 of a protective element Q1 connected with an input terminal 11 and a ground terminal 13 of an MOS FET of a first stage circuit. When static electricity is applied, the parasitic MOS FET turns on, and the ground terminals 12 and 13 are electrically shorted through low resistance, so that the static electricity is discharged. At the time of normal operation, the parasitic MOSFET Q4 is turned off, so that the ground terminal 12 is insulated from the ground terminal 13. Hence mutual interference caused by noise between power supplies is reduced, and the malfunction of a circuit is prevented.



LEGAL STATUS

[Date of request for examination] 26.12.1996

[Date of sending the examiner's decision of rejection] 15.12.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平6-85174

(43)公開日 平成6年(1994)3月25日

技術表示箇所

H 8427-4M

27/06

9170-4M

3 1 1 C

審査請求 未請求 請求項の数 1(全 4 頁) 最終頁に続く

特願平4-233220

平成4年(1992)9月1日

日本電気アイシーマイコンシステム株式会社

神奈川県川崎市中原区小杉町1丁目403番
53

神奈川県川崎市中原区小杉町一丁目403番
53日本電気アイシーマイコンシステム株式
会社内

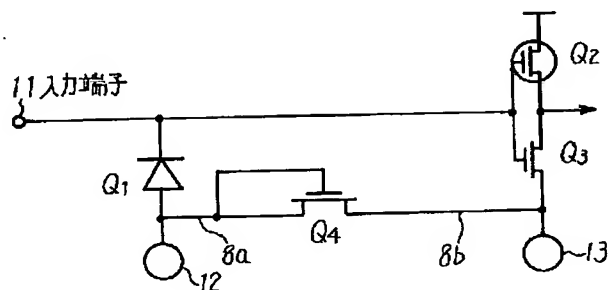
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】電源ピンが複数ある IC において、異なる電源（又は接地）ピンのそれぞれに接続された配線相互間を、静電気印加時は、低抵抗で導通し、通常動作時は、非導通状態として、静電耐圧の向上及び電源配線間のノイズを低減する。

【構成】入力端子 11 に接続された保護素子 Q_1 の接地端子 12 と、初段回路の MOSFET の接地端子 13 との間に寄生 MOSFET Q_4 を接続し、静電気が印加されたときには寄生 MOSFET Q_4 がオンして接地端子 12、13 間を低抵抗で導通させ静電気を放電させ、通常動作時には、寄生 MOSFET Q_4 をオフ状態として接地端子 12、13 間を絶縁状態とする。従って各電源間のノイズによる相互干渉を低減して回路が誤動作することを防止する。



【特許請求の範囲】

【請求項1】 半導体チップ上に設けた複数の電源端子（又は接地端子）と、前記電源端子（又は接地端子）のそれぞれに接続し且つ互に独立して設けた電源配線（又は接地配線）とを有する半導体集積回路において、前記電源配線（又は前記接地配線）の相互間に接続して設けた寄生MOSFETを備えたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置に関し、特に異なる電源（又は接地）端子に接続される各配線相互の接続に関する。

【0002】

【従来の技術】 一般に、半導体集積回路装置は静電気によって内部回路が破壊されることを防止するため保護素子が入っている。

【0003】 従来の半導体集積回路装置は、図4に示すように、入力端子11に接続されたMOSFET Q_2 、 Q_3 からなる初段回路の保護素子 Q_1 の接地端子12とMOSFET Q_3 の接地端子13が異なる場合に、接地端子13のみを接地した状態で静電気が印加されると、保護素子 Q_1 が機能しないため、初段回路が破壊される。従って、これを防止するために接地端子12と接地端子13との間を100～10 Ω 程度の抵抗R又は配線を介して接続し、常に保護素子 Q_1 が機能する様にしている。

【0004】

【発明が解決しようとする課題】 従来の半導体集積回路装置では異なる電源端子相互間又は、接続端子相互間を配線又は抵抗で抵抗性結合することにより印加された静電気を接地端子に逃し、初段回路を保護していた。

【0005】 又、保護素子の静電気保護能力を高くするには、上記の電源端子間を接続している配線又は抵抗の抵抗値を低くする必要がある。しかし、抵抗を低くすることにより、異なる電源端子にそれぞれ接続された配線間の相互干渉が強くなり、一方で発生したノイズが、他方の配線に伝わり、回路が誤動作するという問題点があった。尚、近年製品の多ビット化及び高速化が行なわれており半導体集積回路装置内でのノイズが大きな問題となっている。

【0006】 本発明の目的は、静電気が印加された時は、各電源端子又は、接地端子間を低抵抗で接続し、通常回路動作時は、上記各端子間を絶縁状態とする様な素子で電源（又は接地）配線間を接続した半導体集積回路装置を提供することにある。

【0007】

【課題を解決するための手段】 本発明の半導体集積回路装置は、半導体チップ上に設けた複数の電源端子（又は接地端子）と、前記電源端子（又は接地端子）のそれぞ

れに接続し且つ互に独立して設けた電源配線（又は接地配線）とを有する半導体集積回路において、前記電源配線（又は前記接地配線）の相互間に接続して設けた寄生MOSFETを備えて構成される。

【0008】

【実施例】 次に、本発明について図面を参照して説明する。

【0009】 図1（a）、（b）は本発明に使用する寄生MOSFETの一例を説明するための平面図及びA-A'線断面図である。

【0010】 図1（a）、（b）に示すように、シリコン基板1の表面に設けて第1及び第2の素子形成領域を区画する厚さ0.33 μ mのフィールド絶縁膜2及びフィールド絶縁膜2の下面に設けたチャネルストップ3と、第1及び第2の素子形成領域のシリコン基板1内に設けた拡散層4a、4bと、第1及び第2の素子形成領域上に設けたゲート絶縁膜5a、5bの上及び第1及び第2の素子形成領域間の幅2 μ mのフィールド絶縁膜2の上に設けて素子形成領域間を跨ぐゲート電極6と、ゲート電極6を含む表面に設けた層間絶縁膜7と、層間絶縁膜7に設けたコンタクト孔9を介して拡散層4a及びゲート電極6と電気的に接続する配線8aと、拡散層4bと電気的に接続する配線8bとを有して V_T が11～12Vの寄生MOSFETが構成され、配線8a、8bがそれぞれ異なる電源端子間又は接地端子間に接続される。

【0011】 図2は本発明の第1の実施例を示す回路図である。

【0012】 図2に示すように、入力端子11に接続されたMOSFET Q_2 、 Q_3 からなる初段回路の保護素子 Q_1 の接地端子12に配線8aを介して寄生MOSFET Q_4 のソース及びゲートを接続し、MOSFET Q_3 の接地端子13に配線8bを介して寄生MOSFET Q_4 のドレインを接続する。ここで、半導体集積回路装置に静電気が印加された場合は、保護素子 Q_1 を通して寄生MOSFET Q_4 のゲートが充電され、寄生MOSFET Q_4 がオンして印加された静電気を放電する。しかし、通常動作時には寄生MOSFETがオンされず、接地端子12、13間は絶縁された状態となる。

【0013】 図3は本発明の第2の実施例を示す回路図である。

【0014】 図3に示すように、入力端子11に接続した保護素子 Q_5 の電源端子14とMOSFET Q_2 の電源端子15との間に寄生MOSFET Q_4 を接続しており、第1の使用例と同様の作動により初段回路の静電破壊を防止できる。

【0015】

【発明の効果】 以上説明した様に本発明は、静電気印加時に各電源端子間又は各接地端子間が寄生MOSFETを介して低抵抗で導通され静電気を放電して静電破壊を

3

防止し、一方、通常動作時は、各電源端子又は接地端子が非導通となり、絶縁状態となる。これにより、各電源端子又は接地端子は、相互に干渉することはなくなり、ノイズにより回路が誤動作することはなくなるという効果を有する。

【図面の簡単な説明】

【図 1】本発明に使用する寄生 MOSFET の一例を説明するための平面図及び A-A' 線断面図。

【図 2】本発明の第 1 の実施例を示す回路図。

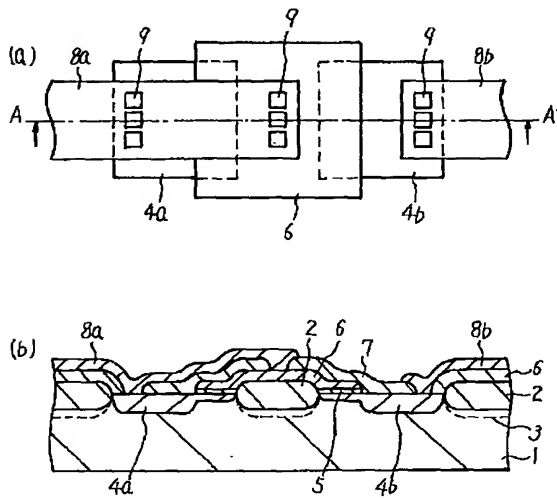
【図 3】本発明の第 2 の実施例を示す回路図。

【図 4】従来の半導体集積回路装置の一例を示す回路図。

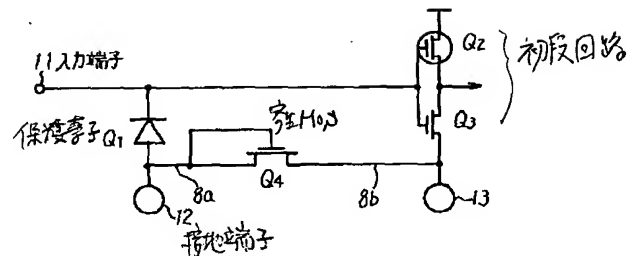
【符号の説明】

1	シリコン基板
2	フィールド絶縁膜
3	チャネルストッパ
4 a, 4 b	拡散層
5 a, 5 b	ゲート絶縁膜
6	ゲート電極
7	層間絶縁膜
8 a, 8 b	配線
9	コンタクト孔
Q ₁ , Q ₅	保護素子
Q ₂ , Q ₃	MOSFET
Q ₄	寄生MOSFET

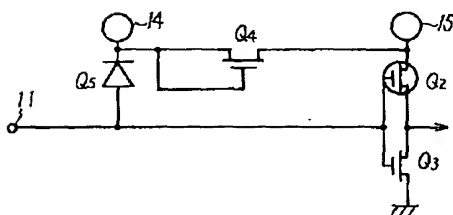
【图 1】



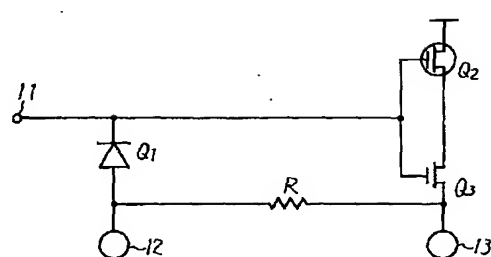
【图 2】



【図 3】



【図 4】



フロントページの続き

(51) Int. Cl. ⁵

H 0 3 K 19/003

識別記号

庁内整理番号

F I

技術表示箇所

E 8941-5 J